

(11)Publication number : 11-231283

(43)Date of publication of application : 27.08.1999

(51)Int.Cl.

G02F 1/133

G09G 3/20

G09G 3/36

(21)Application number : 10-028572

(71)Applicant : TOSHIBA CORP

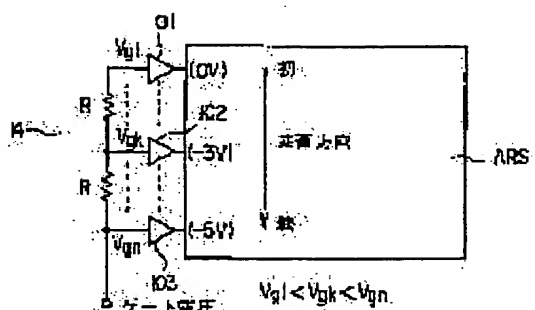
(22)Date of filing : 10.02.1998

(72)Inventor : SAGI SEIICHI

**(54) FLAT DISPLAY DEVICE****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To provide a flat display device having a uniform screen by changing a size of a gate voltage along the scanning direction to eliminate a luminance difference in the scanning direction.

**SOLUTION:** This flat display device is provided with plural array electrodes ARS opposing to a common electrode CTS, sealing a liquid crystal composition LC between them, constituted in matrix and connected to one ends of current paths of plural thin film FETs 24 and a plural gate voltages supply circuit 14 respectively having amplifier circuits 101, 102, 103 whose amplification amount becomes large in order along the scanning direction to supply respectively charges becoming more in order in the scanning direction on the gates of these plural thin film FETs 24.

**\* NOTICES \***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

**CLAIMS**

[Claim(s)]

[Claim 1] A plane display device which is provided with the following and characterized by the ability of said gate voltage supply circuit to supply said selection signal with which potential levels differ along said scanning line direction.

Two or more scanning electrodes and signal electrodes which have been arranged at matrix form.

Two or more thin film transistors by which it has been arranged on each intersection of said scanning electrode and said signal electrode, common connection of the gate was carried out to said scanning electrode for every line of the, and common connection of the drain was carried out to said signal electrode for every sequence of the.

Pixel capacity connected to source of said thin film transistor.

A gate voltage supply circuit which drives said thin film transistor by supplying a selection signal to said scanning electrode along a prescribed scanning direction line sequential.

[Claim 2] A plane display device which is provided with the following and characterized by having two or more amplifier circuits, respectively so that said gate voltage supply circuit may supply said selection signal with which potential levels differ along said scanning line direction.

Two or more scanning electrodes and signal electrodes which have been arranged at matrix form. Two or more thin film transistors by which it has been arranged on each intersection of said scanning electrode and said signal electrode, common connection of the gate was carried out to said scanning electrode for every line of the, and common connection of the drain was carried out to said signal electrode for every sequence of the.

Pixel capacity connected to source of said thin film transistor.

A gate voltage supply circuit which drives said thin film transistor by supplying a selection signal to said scanning electrode along a prescribed scanning direction line sequential.

[Claim 3] It is arranged on each intersection of two or more scanning electrodes and a signal electrode which have been arranged at matrix form, and said scanning electrode and said signal electrode, As opposed to two or more thin film transistors by which common connection of the gate was carried out to said scanning electrode for every line of the, and common connection of the drain was carried out to said signal electrode for every sequence of the, A gate voltage supply circuit of a plane display device which drives said thin film transistor by supplying a selection signal with which potential levels differ along a prescribed scanning direction line sequential in said scanning electrode.

[Translation done.]

#### \* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

#### DETAILED DESCRIPTION

##### [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a plane display device with the driver circuit which cancels the luminance difference of the screen by which it is generated especially in the scanning direction of a screen about the plane display device represented by the liquid crystal display.

[0002]

[Description of the Prior Art] In recent years, a liquid crystal display is spreading considerably from a thin light weight and the advantage further of low power consumption. A common liquid

crystal display has the structure where a liquid crystal composition is held between an array substrate and a counter substrate. An array substrate and a counter substrate have insulation and a light transmittance state respectively, for example, and a liquid crystal cell fills up the gap of an array substrate and a counter substrate with a liquid crystal composition, and they are formed. On the whole, an array substrate has the 1st orienting film of a wrap for the MATORISUKU array of the MATORISUKU array of two or more picture element electrodes, two or more scanning lines formed along with the line of these picture element electrodes, respectively, two or more signal wires formed in accordance with the sequence of these picture element electrodes, respectively, and two or more picture element electrodes. Two or more scanning lines choose the line of a picture element electrode, respectively, and two or more signal wires are provided, respectively in order to impress pixel signal voltage to the picture element electrode of a selection row. On the whole, a counter substrate has the 2nd orienting film of a wrap for the common electrode which counters the matrix array of two or more picture element electrodes, and this common electrode. The 1st and 2nd orienting films are provided in order to carry out twist nematic (TN) orientation of the liquid crystal element in a liquid crystal cell, when there is no potential difference between a picture element electrode and a common electrode. If light enters into a liquid crystal layer from one substrate side via a polarizing plate, this light will circle in accordance with torsion of the liquid crystal element arranged in the thickness direction of a liquid crystal layer, will be led to the substrate of another side, and will be further penetrated selectively via a polarizing plate. If potential difference is given between a picture element electrode and a common electrode, only the angle which is proportional to this potential difference from the flat surface where a liquid crystal element is parallel to the substrate face where a picture is displayed will carry out a tilt rise, and the transmissivity of light will be changed.

[0003] In an active matrix type liquid crystal display device, two or more thin film transistors (TFT) are formed near the intersecting position of a scanning line and a signal wire, respectively, and it is used as a switching element which drives a respectively corresponding picture element electrode selectively. The gate of each TFT is connected to one scanning line, a drain is connected to one signal wire, and source is connected to one picture element electrode. It flows through this TFT in connection with the standup of the scanning pulse from a scanning line, and it supplies the pixel signal voltage from a signal wire to a picture element electrode. A picture element electrode and a common electrode constitute the liquid crystal capacity CLC, and are charged corresponding to potential difference inter-electrode [ these ]. This potential difference is held at the liquid crystal capacity CLC, even after TFT is un-flowing in connection with falling of a scanning pulse.

[0004] By the way, since the time lag of a scan time exists along a scanning direction in a plane display device, dispersion in the amount of leaks of the electric charge based on this occurs along a scanning direction. For this reason, luminance difference will exist in the above-mentioned plane display device on a screen along a scanning direction.

[0005]

[Problem(s) to be Solved by the Invention] Therefore, in the above-mentioned plane display device, the luminance difference of a scanning direction occurs and there is a problem that the unevenness of luminosity arises on a screen for this reason. This invention is changing the height of gate voltage along a scanning direction so that it may cancel the luminance difference of a scanning direction, and an object of this invention is to provide a plane display device with a uniform screen.

[0006]

[Means for Solving the Problem] Two or more scanning electrodes and signal electrodes in which this invention has been arranged at matrix form, Two or more thin film transistors by which it has been arranged on each intersection of said scanning electrode and said signal electrode, common connection of the gate was carried out to said scanning electrode for every line of the, and common connection of the drain was carried out to said signal electrode for every sequence of the, It has pixel capacity connected to source of said thin film transistor, and a gate voltage supply circuit which drives said thin film transistor by supplying a selection signal to said

scanning electrode along a prescribed scanning direction line sequential, Said gate voltage supply circuit is a plane display device being able to supply said selection signal with which potential levels differ along said scanning line direction.

[0007]This invention adjusts quantity of a leak electric charge by providing a gap in gate potential given to a gate electrode of TFT connected to two or more array electrodes along a scanning direction so that it may cancel unevenness of a leak electric charge produced in a scanning direction by the above-mentioned structure. That is, by correcting imbalance of the amount of leaks generated according to a time lag of a scan by a gap of gate potential, the uniform amount of leaks can be realized and a uniform screen display can be made possible.

[0008]Two or more scanning electrodes and signal electrodes in which this invention has been arranged at matrix form, Two or more thin film transistors by which it has been arranged on each intersection of said scanning electrode and said signal electrode, common connection of the gate was carried out to said scanning electrode for every line of the, and common connection of the drain was carried out to said signal electrode for every sequence of the, It has pixel capacity connected to source of said thin film transistor, and a gate voltage supply circuit which drives said thin film transistor by supplying a selection signal to said scanning electrode along a prescribed scanning direction line sequential, Said gate voltage supply circuit is a plane display device having two or more amplifier circuits, respectively so that it may supply said selection signal with which potential levels differ along said scanning line direction.

[0009]It is realizable by providing an amplifier circuit where amplifying amounts differed potential adjustment of gate potential according to a scanning direction by the above-mentioned structure, respectively. Two or more scanning electrodes and signal electrodes in which this invention has been arranged at matrix form, As opposed to two or more thin film transistors by which it has been arranged on each intersection of said scanning electrode and said signal electrode, common connection of the gate was carried out to said scanning electrode for every line of the, and common connection of the drain was carried out to said signal electrode for every sequence of the, It is a gate voltage supply circuit of a plane display device which drives said thin film transistor by supplying a selection signal with which potential levels differ along a prescribed scanning direction line sequential in said scanning electrode.

[0010]

[Embodiment of the Invention]Hereafter, the active matrix type liquid crystal display device concerning the embodiment of this invention is explained with reference to drawings. Drawing 1 shows the composition of this liquid crystal display roughly, and drawing 2 shows the section structure of the liquid crystal panel 10 shown in drawing 1. This liquid crystal display has the liquid crystal panel 10 in which a colored presentation is possible. This liquid crystal panel 10 is constituted by liquid crystal cell LC which was held between the array substrate ARS and counter substrate CTS which have a light transmittance state, these array substrates ARS, and counter substrate CTS, and was filled up with the liquid crystal composition. The liquid crystal panel 10 is provided with the following.

The array substrate ARS is glass substrate SB1.

The MATORISUKU array of the 480x1920 picture element electrodes 20 formed on this glass substrate SB1.

480 scanning line Y1-Y480 formed along with the line of these picture element electrodes 20, respectively.

1920 signal wire X1-X1920 formed in accordance with the sequence of these picture element electrodes 20, respectively, The 480x1920 thin film transistors (TFT) 24 formed as a switching element, respectively near the crossing of scanning line Y1-Y480 and signal wire X1-X1920, On the whole, they are the 480 storage capacitance lines 26 formed by overlapping the respectively corresponding picture element electrode 20 of a line via an insulator layer, and a MATORISUKU array of the picture element electrode 20 1st orienting film ORof wrap 1

Light-shielding film ST formed on this glass substrate SB2 in order that counter substrate CTS may carry out the mask of the circumference of the picture element electrode 20 to glass substrate SB2, On the whole, it has 2nd orienting film ORof wrap 2 for red, light filter floor line which penetrates the light of a green and blue color component selectively, the common

electrode 22 which counters the matrix array of the picture element electrode 20, and this common electrode 22. 1st orienting film OR1 and 2nd orienting film OR2 are provided in order to carry out twist nematic (TN) orientation of the liquid crystal element, when there is no potential difference between the picture element electrode 20 and the common electrode 22. Each TFT24 has a source drain path connected between 1 of gate [ which is connected to one of scanning line Y1-Y480 ], and signal wire X1-X1920, and 1 of all the picture element electrodes 20. The picture element electrode 20 and the common electrode 22 constitute the liquid crystal capacity CLC, and the storage capacitance line 26 and the picture element electrode 20 constitute storage capacitance CS. The two polarizing plates PL1 and PL2 set as the direction which intersects perpendicularly mutually are stuck on the outer surface of the array substrate ARS and counter substrate CTS, and the common electrode 22 is connected to the storage capacitance line 26.

[0011]A liquid crystal display has a display control circuit connected to the liquid crystal panel 10. The X driver 12 with which this display control circuit drives signal wire X1-X1920, The liquid crystal controller 16 which controls the Y driver 14 which drives scanning line Y1-Y480, and the X driver 12 and the Y driver 14, It has DC to DC converter 18 which changes into stable +5V, +19V, and -12V the common electrode driver 17 which drives the common electrode 22 with the storage capacitance line 26, and the level of external source voltage. +The power supply voltage of 5V is supplied to the power supply terminal VDD connected to the X driver 12, the liquid crystal controller 16, and the common electrode driver 17, and the power supply voltage of +19V and -12V is supplied to the power supply terminals VON and VOFF connected to the Y driver 14.

[0012]The liquid crystal controller 16 supplies the gradation data supplied one by one from the outside to the X driver 12 with start pulse ST and shift clock CK. Start pulse ST1 is generated for every horizontal scanning period to which 1920 gradation data is supplied, and shift clock CK is generated for every supply of each gradation data. The liquid crystal controller 16 chooses one of scanning line Y1-Y480 for every horizontal scanning period, and supplies them to the Y driver 14 by making this selected result into a selection signal. The inversion signals POL are signals which change to another side for every 1 frame period and horizontal scanning period from either a ground level (=0V) or a VDD level (=+5V) in order to reverse periodically the electric field direction in liquid crystal cell LC, The X driver 12 and the common electrode driver 17 are supplied from the liquid crystal controller 16.

[0013]Now, in the plane display device by the above-mentioned structure, the luminance difference along the scanning direction which this invention tends to cancel will be distributed as follows. Drawing 7 is a graph for explaining the relation between scanning timing and the amount of electric charge leaks. In this figure, the first line A point, the center line B point, and the last line C point are shown in the electrode array (a), respectively. Furthermore, by (b), since the time delay of scanning timing is zero, the amount of leaks based on the signal level of the first line A point is set to  $\Delta V_{leak}=0$ .

[0014]Since the amount of leaks based on the signal level of a center line B point is set to scanning timing  $t=1/2T$  in (b), the illustrated value is taken. Since the amount of leaks based on the signal level of a last line C point serves as scanning timing  $t=T$  in (c), the greatest value will be taken as illustrated.

[0015]Drawing 3 is an array electrode driver circuit which is the feature of this invention. In drawing 3, the amplifier circuits 101, 102, and 103 where amplification factors differ are formed so that the gate voltage given to the gate of each transistor 24 may become large in order along a scanning direction. Here the gate voltage which each amplifier circuit 101, 102, and 103 realizes, It is the gate voltage  $V_{g1}$  of the 1st line, gate voltage  $V_{gk}$  of the center line, and gate voltage  $V_{gn}$  of a last line, and each size relation is  $V_{g1} < V_{gk} < V_{gn}$ . Examples of this gate voltage are 0V, -3V, and -5V, respectively. Drawing 4 is a representative circuit schematic for explaining the variation of pixel potentials. Change  $\Delta V_{leak}$  of pixel potentials is shown by the formula (1) in drawing 4.

[0016]

[Table 1]

$$\Delta V_{\text{leak}} = \Delta V_{\text{sig}} \left[ 1 - \exp \left( \frac{-I_{\text{off}} \cdot t}{\Delta V_{\text{sig}} \cdot C_{\text{load}}} \right) \right] \dots (1)$$

[0017] However, it becomes  $\Delta V_{\text{sig}} = V_{\text{sig1}} - V_{\text{sig2}}$ . That is, in drawing 4, parasitic capacitance  $C_{\text{load}}$  is charged by power supply  $V_{\text{sig1}}$ , and change  $\Delta V_{\text{leak}}$  of pixel potentials  $t$  seconds after changing to power supply  $V_{\text{sig2}}$  is shown in the formula (1). Equalization of the amount of leaks is attained by changing gate potential in order to estimate the change of pixel potentials based on the time lag of a scan time, and the amount of leaks of potential using this formula and also to cancel this.

[0018] A graph for drawing 5 to explain the relation between gate potential and pixel potentials and drawing 6 are the graphs for explaining the relation between gate potential and the charge quantity of an array electrode. In drawing 5, the relation between the gate potential in the last line on a screen and pixel potentials is shown, and gate voltage  $H=15V$ , gate voltage  $L=-5V$  which were given by the amplifier circuit, and  $9V$  which is examples of signal-level  $V_{\text{sig}}$  are shown.

Here, the pixel potentials  $V_g$  become a predetermined value, having some leak because gate potential changes from  $H$  to  $L$ . At this time, potential difference  $V_g$  will be defined as pixel-potentials  $V_g - V_{gL}$ .

[0019] In drawing 6, charge quantity  $CS$  of MOS-CS of thin film FET in each line is shown. In this figure, in the line of  $-9V$  and a center,  $-12V$  and a last line become  $-14V$ , and since the amount of leaks according to each value occurs, the first line can correct the gap of the amount of leaks based on the gap of the above-mentioned scanning timing by the gap of this amount of leaks.

[0020] This invention is not limited to an above-mentioned embodiment, but can change variously in the range which does not deviate from the gist. For example, according to an embodiment, although the common electrode driver 17 has CMOS transistors 17A and 17B, these can also be transposed to a bipolar transistor. Although gate potential is making only the value of gating signal  $L$  change in the above-mentioned example, it is possible to also make it change including gating signal  $H$ .

[0021]

[Effect of the Invention] According to this invention, the plane display device canceled by devising the size of the gate voltage which supplies the unevenness of the luminosity of a scanning direction to TFT can be provided.

[Translation done.]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

## DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The circuit diagram showing roughly the composition of the active matrix type liquid crystal display device concerning one embodiment of this invention.

[Drawing 2]The sectional view showing the structure of the liquid crystal panel shown in drawing 1.

[Drawing 3]The circuit diagram showing the array electrode driver circuit which is the feature of this invention.

[Drawing 4]The representative circuit schematic for explaining the variation of pixel potentials.

[Drawing 5]The graph for explaining the relation between gate potential and pixel potentials.

[Drawing 6]The graph for explaining the relation between gate potential and the charge quantity of an array electrode.

[Drawing 7]The graph for explaining the relation between scanning timing and the amount of electric charge leaks.

[Description of Notations]

ARS -- Array substrate

CTS -- Counter substrate

LC -- Liquid crystal cell

12 -- X driver

14 -- Y driver

16 -- Liquid crystal controller

17 -- Common electrode driver

18 -- DC to DC converter

20 -- Picture element electrode

24 -- TFT

101,102,103 -- Amplifier circuit

---

[Translation done.]

#### \* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

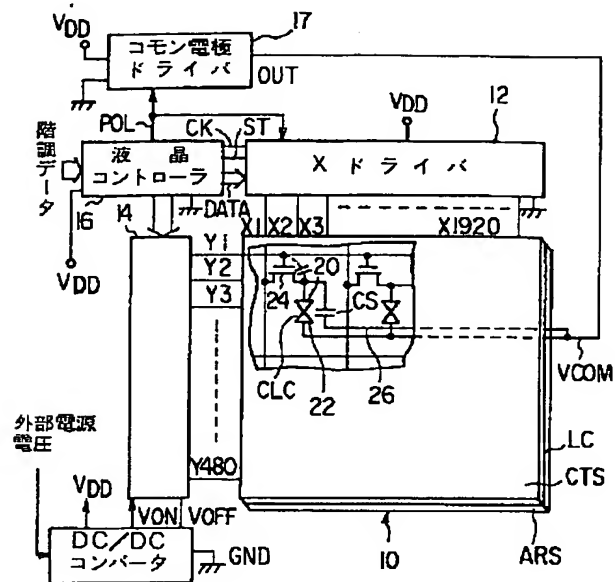
3.In the drawings, any words are not translated.

---

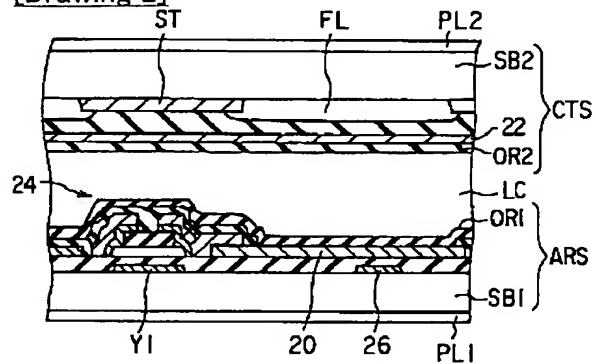
#### DRAWINGS

---

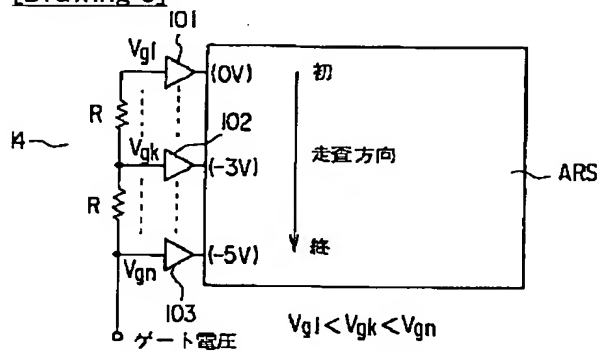
[Drawing 1]



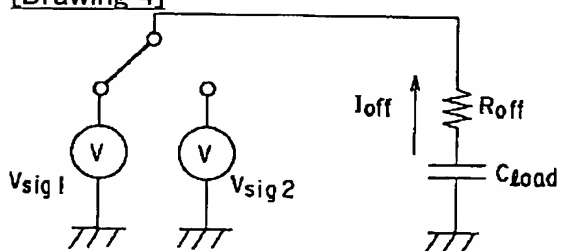
[Drawing 2]



[Drawing 3]

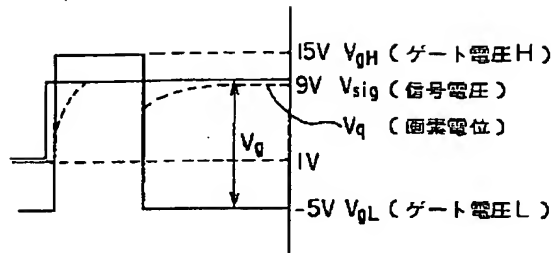


[Drawing 4]

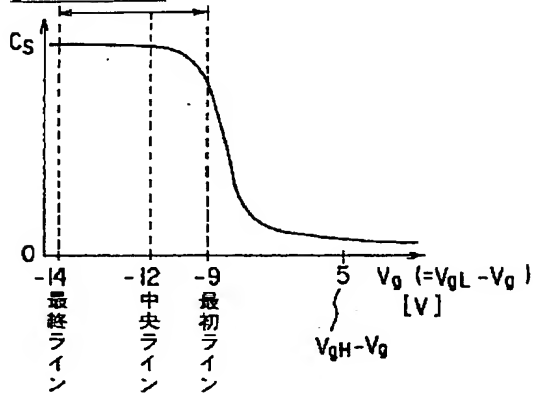


[Drawing 5]

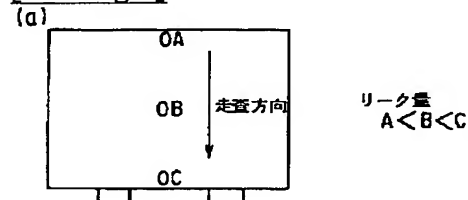




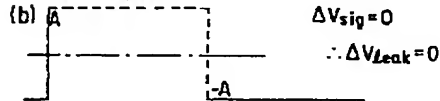
[Drawing 6]



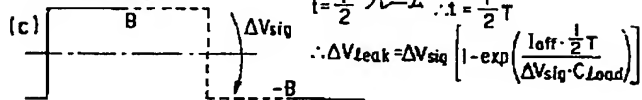
[Drawing 7]



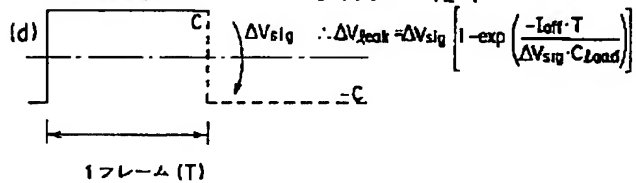
(A点の信号電圧)



(B点の信号電圧)



(C点の信号電圧)



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-231283

(43) 公開日 平成11年(1999) 8月27日

(51) Int.Cl.<sup>8</sup>  
G 0 2 F 1/133  
G 0 9 G 3/20  
3/36

識別記号  
5 5 0  
6 2 2

F I  
G 0 2 F 1/133 5 5 0  
G 0 9 G 3/20 6 2 2 A  
3/36

審査請求 未請求 請求項の数3 O L (全 6 頁)

(21) 出願番号 特願平10-28572

(22) 出願日 平成10年(1998) 2月10日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 鷺 成一

埼玉県深谷市幡経町1丁目9番2号 株式  
会社東芝深谷電子工場内

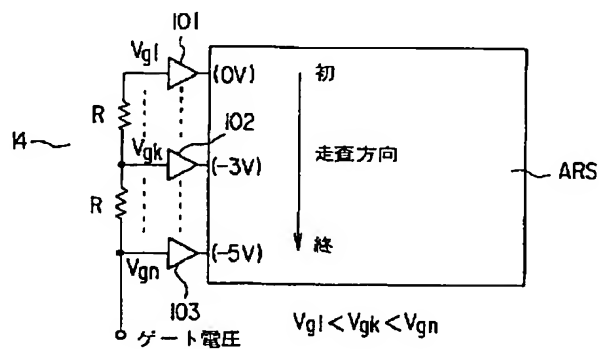
(74) 代理人 弁理士 鈴木 武彦 (外6名)

(54) 【発明の名称】 平面表示装置

(57) 【要約】

【課題】 走査方向の輝度差を解消するべくゲート電圧の高さを走査方向に沿って異ならせることで、均一な画面をもつ平面表示装置を提供する。

【解決手段】 共通電極C T Sに向かい合い液晶組成物L Cが封入されてマトリクス状に構成されそれぞれが複数薄膜F E T 2 4の電流路の一端に接続されている複数アレイ電極A R Sと、この複数薄膜F E T 2 4のゲートに、走査方向に従って順に多くなる電荷をそれぞれ供給するべく増幅量が走査方向にそって順に大きくなるアンプ回路1 0 1, 1 0 2, 1 0 3をそれぞれ有している複数ゲート電圧供給回路1 4 とをもつ平面表示装置。



## 【特許請求の範囲】

【請求項1】 マトリクス状に配置された複数の走査電極および信号電極と、前記走査電極と前記信号電極の各交点に配置され、その行毎にゲートが前記走査電極に共通接続され、その列毎にドレインが前記信号電極に共通接続された複数の薄膜トランジスタと、前記薄膜トランジスタのソースに接続された画素容量と、前記走査電極に所定走査方向に沿って線順次に選択信号を供給することにより前記薄膜トランジスタを駆動するゲート電圧供給回路とを備え、

前記ゲート電圧供給回路は、前記走査線方向に沿って電位レベルの異なる前記選択信号を供給可能であることを特徴とする平面表示装置。

【請求項2】 マトリクス状に配置された複数の走査電極および信号電極と、前記走査電極と前記信号電極の各交点に配置され、その行毎にゲートが前記走査電極に共通接続され、その列毎にドレインが前記信号電極に共通接続された複数の薄膜トランジスタと、前記薄膜トランジスタのソースに接続された画素容量と、前記走査電極に所定走査方向に沿って線順次に選択信号を供給することにより前記薄膜トランジスタを駆動するゲート電圧供給回路とを備え、

前記ゲート電圧供給回路は、前記走査線方向に沿って電位レベルの異なる前記選択信号を供給するべく複数のアンプ回路をそれぞれ有することを特徴とする平面表示装置。

【請求項3】 マトリクス状に配置された複数の走査電極および信号電極と、前記走査電極と前記信号電極の各交点に配置され、その行毎にゲートが前記走査電極に共通接続され、その列毎にドレインが前記信号電極に共通接続された複数の薄膜トランジスタに対して、前記走査電極に所定走査方向に沿って線順次に電位レベルの異なる選択信号を供給することにより前記薄膜トランジスタを駆動する平面表示装置のゲート電圧供給回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は液晶表示装置に代表される平面表示装置に関し、特に画面の走査方向に発生する画面の輝度差を解消するドライバ回路をもつ平面表示装置に関する。

## 【0002】

【従来の技術】近年、液晶表示装置が薄型軽量、さらに低消費電力という利点からかなり普及しつつある。一般的な液晶表示装置は、液晶組成物がアレイ基板および対向基板間に保持される構造を有する。アレイ基板および対向基板は例えば各々絶縁性および光透過性を有し、液晶セルがアレイ基板と対向基板との間隙に液晶組成物を充填して形成される。アレイ基板は複数の画素電極のマトリクスアレイと、これら画素電極の行に沿ってそれぞれ形成される複数の走査線と、これら画素電極の列に沿

ってそれぞれ形成される複数の信号線と、複数の画素電極のマトリクスアレイを全体的に覆う第1配向膜とを有する。複数の走査線はそれぞれ画素電極の行を選択し、複数の信号線はそれぞれ選択行の画素電極に画素信号電圧を印加するために設けられる。対向基板は複数の画素電極のマトリクスアレイに対向するコモン電極と、このコモン電極を全体的に覆う第2配向膜とを有する。第1および第2配向膜は画素電極およびコモン電極間に電位差がないときに液晶セル内の液晶分子をツイストネマチック(TN)配向させるために設けられる。光が偏光板を介して一方の基板側から液晶層に入射すると、この光が液晶層の厚さ方向に配列される液晶分子のねじれに沿って旋回し、他方の基板へ導かれ、さらに偏光板を介して選択的に透過される。電位差が画素電極およびコモン電極間に与えられると、液晶分子が画像が表示される基板表面に平行な平面からこの電位差に比例した角度だけチルトアップし、光の透過率を変化させる。

【0003】アクティブマトリクス型液晶表示装置では、複数の薄膜トランジスタ(TFT)が走査線および信号線の交差位置の近くにそれぞれ形成され、各々対応する画素電極を選択的に駆動するスイッチング素子として用いられる。各TFTのゲートは1走査線に接続され、ドレインは1信号線に接続され、ソースは1画素電極に接続される。このTFTは走査線からの走査パルスの立ち上がりに伴って導通し、信号線からの画素信号電圧を画素電極に供給する。画素電極およびコモン電極は液晶容量CLCを構成し、これら電極間の電位差に対応して充電される。この電位差はTFTが走査パルスの立ち下がりに伴って非導通となった後も液晶容量CLCに保持される。

【0004】ところで、平面表示装置において走査方向に沿って走査時間の時間差が存在するため、これに基づく電荷のリーク量のばらつきが走査方向に沿って発生する。このため、上記の平面表示装置には走査方向に沿って画面上に輝度差が存在してしまう。

## 【0005】

【発明が解決しようとする課題】従って上記した平面表示装置においては、走査方向の輝度差が発生し、このため画面に輝度のむらが生じるという問題がある。本発明は、走査方向の輝度差を解消するべくゲート電圧の高さを走査方向に沿って異ならせることで、均一な画面をもつ平面表示装置を提供することを目的とする。

## 【0006】

【課題を解決するための手段】本発明は、マトリクス状に配置された複数の走査電極および信号電極と、前記走査電極と前記信号電極の各交点に配置され、その行毎にゲートが前記走査電極に共通接続され、その列毎にドレインが前記信号電極に共通接続された複数の薄膜トランジスタと、前記薄膜トランジスタのソースに接続された画素容量と、前記走査電極に所定走査方向に沿って線順

次に選択信号を供給することにより前記薄膜トランジスタを駆動するゲート電圧供給回路とを備え、前記ゲート電圧供給回路は、前記走査線方向に沿って電位レベルの異なる前記選択信号を供給可能であることを特徴とする平面表示装置である。

【0007】本発明は、上記構造により、走査方向に生じたリーク電荷の不均一を解消するべく、走査方向にそって複数アレイ電極に接続されているTFTのゲート電極に与えるゲート電位に格差を設けることにより、リーク電荷の量を調整するものである。つまり、走査の時間差により発生したリーク量の不均衡をゲート電位の格差により矯正することで、均一なリーク量を実現し、均一な画面表示を可能とすることができる。

【0008】本発明は、マトリクス状に配置された複数の走査電極および信号電極と、前記走査電極と前記信号電極の各交点に配置され、その行毎にゲートが前記走査電極に共通接続され、その列毎にドレインが前記信号電極に共通接続された複数の薄膜トランジスタと、前記薄膜トランジスタのソースに接続された画素容量と、前記走査電極に所定走査方向に沿って線順次に選択信号を供給することにより前記薄膜トランジスタを駆動するゲート電圧供給回路とを備え、前記ゲート電圧供給回路は、前記走査線方向に沿って電位レベルの異なる前記選択信号を供給するべく複数のアンプ回路をそれぞれ有することを特徴とする平面表示装置である。

【0009】上記の構造により、ゲート電位の電位調整を増幅量が走査方向に応じて異なったアンプ回路をそれぞれ設けることで実現することができる。又本発明は、マトリクス状に配置された複数の走査電極および信号電極と、前記走査電極と前記信号電極の各交点に配置され、その行毎にゲートが前記走査電極に共通接続され、その列毎にドレインが前記信号電極に共通接続された複数の薄膜トランジスタに対して、前記走査電極に所定走査方向に沿って線順次に電位レベルの異なる選択信号を供給することにより前記薄膜トランジスタを駆動する平面表示装置のゲート電圧供給回路である。

【0010】

【発明の実施の形態】以下、本発明の実施形態に係るアクティブマトリクス型液晶表示装置を図面を参照して説明する。図1はこの液晶表示装置の構成を概略的に示し、図2は図1に示す液晶パネル10の断面構造を示す。この液晶表示装置はカラー表示可能な液晶パネル10を有する。この液晶パネル10は光透過性を有するアレイ基板ARSおよび対向基板CTS、およびこれらアレイ基板ARSおよび対向基板CTS間に保持され液晶組成物を充填した液晶セルLCにより構成される。液晶パネル10において、アレイ基板ARSはガラス基板SB1と、このガラス基板SB1上に形成される480×1920個の画素電極20のマトリクスアレイと、これら画素電極20の行に沿ってそれぞれ形成される480

本の走査線Y1-Y480と、これら画素電極20の列に沿ってそれぞれ形成される1920本の信号線X1-X1920と、走査線Y1-Y480および信号線X1-X1920の交差点近くにそれぞれスイッチング素子として形成される480×1920個の薄膜トランジスタ(TFT)24と、各々対応する行の画素電極20に絶縁膜を介してオーバーラップして形成される480本の蓄積容量線26と、画素電極20のマトリクスアレイを全体的に覆う第1配向膜OR1とを有する。また、対向基板CTSはガラス基板SB2と、画素電極20の周辺をマスクするためにこのガラス基板SB2上に形成される遮光膜STと、赤、緑、青の色成分の光を選択的に透過するカラーフィルタFLと、画素電極20のマトリクスアレイに対向するコモン電極22と、このコモン電極22を全体的に覆う第2配向膜OR2とを有する。第1配向膜OR1および第2配向膜OR2は画素電極20およびコモン電極22間に電位差がないときに液晶分子をツイストネマチック(TN)配向させるために設けられる。各TFT24は走査線Y1-Y480のうちの1本に接続されるゲート、および信号線X1-X1920のうちの1本と全画素電極20のうちの1個との間に接続されるソース・ドレインバスを有する。画素電極20とコモン電極22とは液晶容量CLCを構成し、蓄積容量線26と画素電極20とは蓄積容量CSを構成する。アレイ基板ARSおよび対向基板CTSの外側表面には、互いに直交する向きに設定される2枚の偏光板PL1およびPL2が貼り付けられ、コモン電極22は蓄積容量線26に接続される。

【0011】液晶表示装置は液晶パネル10に接続される表示制御回路を有する。この表示制御回路は、信号線X1-X1920を駆動するXドライバ12と、走査線Y1-Y480を駆動するYドライバ14と、Xドライバ12およびYドライバ14を制御する液晶コントローラ16と、コモン電極22を蓄積容量線26と共に駆動するコモン電極ドライバ17と、外部電源電圧のレベルを安定な+5V、+19V、-12Vに変換するDC/DCコンバータ18を有する。+5Vの電源電圧はXドライバ12、液晶コントローラ16、およびコモン電極ドライバ17に接続される電源端子VDDに供給され、+19Vおよび-12Vの電源電圧はYドライバ14に接続される電源端子VONおよびVOFFに供給される。

【0012】液晶コントローラ16は、外部から順次供給される階調データをスタートパルスSTおよびシフトクロックCKと共にXドライバ12に供給する。スタートパルスST1は1920個の階調データが供給される1水平走査期間毎に発生され、シフトクロックCKは各階調データの供給毎に発生される。さらに、液晶コントローラ16は1水平走査期間毎に走査線Y1-Y480のうちの1本を選択し、この選択結果を選択信号として

10

20

30

40

50

Yドライバ14に供給する。極性反転信号POLは液晶セルLC内の電界方向を周期的に反転させるために1フレーム期間および1水平走査期間毎に接地レベル(=0V)およびVDDレベル(=+5V)の一方から他方に変化する信号であり、液晶コントローラ16からXドライバ12およびコモン電極ドライバ17に供給される。

【0013】さて上記の構造による平面表示装置において、本発明が解消しようとする走査方向に沿った輝度差は以下のように分布することとなる。図7は、走査タイミングと電荷リーク量との関係を説明するためのグラフである。この図において、電極アレイ(a)において最初のラインA点、中央ラインB点、最終ラインC点がそれぞれ示されている。さらに(b)にて最初のラインA点の信号電圧に基づくリーク量は、走査タイミングの遅れ時間がゼロであるため、 $\Delta V_{leak} = 0$ となる。

【0014】(b)において中央ラインB点の信号電圧に基づくリーク量は、走査タイミング $t = 1/2 T$ となるので、図示した値をとる。更に(c)において最終ラ\*

$$\Delta V_{leak} = \Delta V_{sig} \left[ 1 - \exp \left( \frac{-I_{off} \cdot t}{\Delta V_{sig} \cdot C_{load}} \right) \right] \dots (1)$$

【0017】但し、 $\Delta V_{sig} = V_{sig1} - V_{sig2}$ となる。つまり、図4において、電源 $V_{sig1}$ で寄生容量 $C_{load}$ を充電し、電源 $V_{sig2}$ に切り替えてから $t$ 秒後の画素電位の変化 $\Delta V_{sig}$ が式(1)に示されている。この式を用いて走査時間の時間差に基づく画素電位の変化、電位のリーク量を概算し、更にこれを解消するべくゲート電位を異ならせることで、リーク量の均一化を図るものである。

【0018】図5は、ゲート電位と画素電位との関係を説明するためのグラフ、図6は、ゲート電位とアレイ電極の電荷量との関係を説明するためのグラフである。図5において、画面上の最終ラインにおけるゲート電位と画素電位の関係が示されており、ゲート電圧 $H = 15V$ と、アンプ回路により与えられたゲート電圧 $L = -5V$ 、信号電圧 $V_{sig}$ の一例である $9V$ が示されている。ここで、ゲート電位が $H$ から $L$ に変わること、画素電位 $V_g$ は若干のリークをもちながら所定値になる。このとき、電位差 $V_g$ は、画素電位 $V_g - V_{sig}$ として定義されることとなる。

【0019】又図6において、各ラインにおける薄膜FETのMOS-Cの電荷量 $C_s$ が示されている。この図において、最初のラインが $-9V$ 、中央のラインが $-12V$ 、最終ラインが $-14V$ となり、それぞれの値に応じたリーク量が発生するためこのリーク量の格差により、上記した走査タイミングの格差に基づくリーク量の格差を矯正することができる。

【0020】尚、本発明は上述の実施形態に限定されず、その要旨を逸脱しない範囲で様々に変形することができる。例えば実施形態では、コモン電極ドライバ17

\* インC点の信号電圧に基づくリーク量は、走査タイミング $t = T$ となるので、図示したように最大の値をとることとなる。

【0015】又図3は、本発明の特徴であるアレイ電極ドライバ回路である。図3において、それぞれのトランジスタ24のゲートに与えられるゲート電圧は、走査方向に沿って順番に大きくなるように、増幅率の異なるアンプ回路101、102、103が設けられている。ここで、それぞれのアンプ回路101、102、103が実現するゲート電圧は、1ライン目のゲート電圧 $V_{g1}$ 、中央ラインのゲート電圧 $V_{gk}$ 、最終ラインのゲート電圧 $V_{gn}$ であり、それぞれの大小関係は、 $V_{g1} < V_{gk} < V_{gn}$ である。このゲート電圧の一例は、それぞれ $0V$ 、 $-3V$ 、 $-5V$ である。図4は、画素電位の変化量を説明するための等価回路図である。図4において、画素電位の変化 $\Delta V_{sig}$ は、式(1)で示される。

【0016】

【表1】

がCMOSトランジスタ17Aおよび17Bを備えるが、これらはバイポーラトランジスタに置き換えることもできる。又、上記の例ではゲート電位はゲート信号Lの値のみを可変させているが、ゲート信号Hを含めて可変させることも可能である。

【0021】

【発明の効果】本発明によれば、走査方向の輝度の不均一をTFTへ供給するゲート電圧の大きさを工夫することにより解消する平面表示装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るアクティブマトリクス型液晶表示装置の構成を概略的に示す回路図。

【図2】図1に示す液晶パネルの構造を示す断面図。

【図3】本発明の特徴であるアレイ電極ドライバ回路を示す回路図。

【図4】画素電位の変化量を説明するための等価回路図。

40 【図5】ゲート電位と画素電位との関係を説明するためのグラフ。

【図6】ゲート電位とアレイ電極の電荷量との関係を説明するためのグラフ。

【図7】走査タイミングと電荷リーク量との関係を説明するためのグラフ。

【符号の説明】

ARS … アレイ基板

CTS … 対向基板

LC … 液晶セル

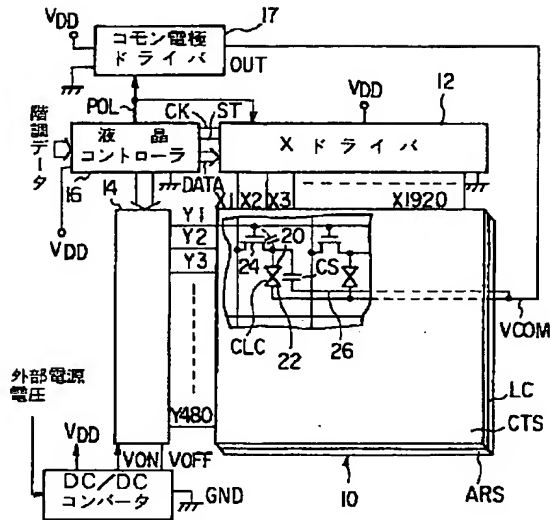
12 … Xドライバ

- 7  
 14 ... Yドライバ  
 16 ... 液晶コントローラ  
 17 ... コモン電極ドライバ  
 18 ... DC/DCコンバータ

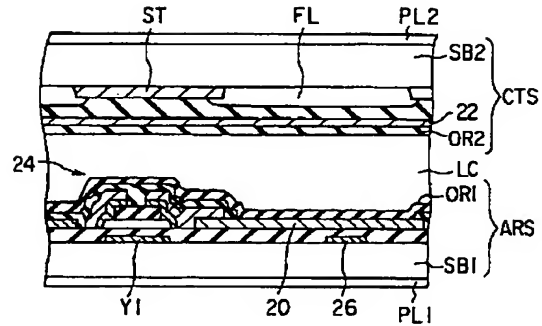
- \* 20 ... 画素電極  
 24 ... TFT  
 101, 102, 103 ... アンプ回路

\*

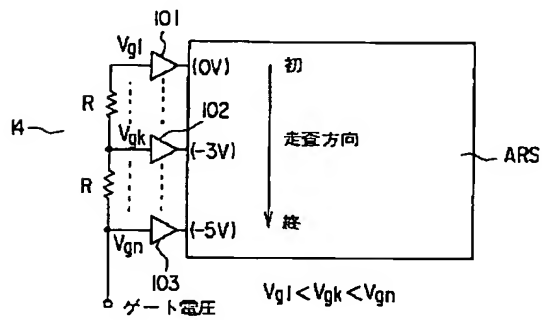
【図1】



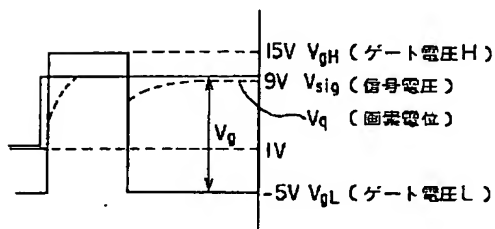
【図2】



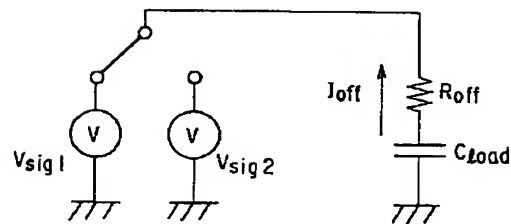
【図3】



【図5】



【図4】



【図6】

